

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—111190

⑬ Int. Cl.<sup>3</sup>  
G 11 C 17/00

識別記号  
1 0 1

庁内整理番号  
6549—5B

⑭ 公開 昭和58年(1983)7月2日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑮ 横型ダイナミックROM

⑯ 特 願 昭56—209237  
⑰ 出 願 昭56(1981)12月25日  
⑱ 発 明 者 松原清  
小平市上水本町1450番地株式会社

社日立製作所武蔵工場内  
⑲ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 横型ダイナミックROM

特許請求の範囲

1. 複数のデータ線とこれらのデータ線に交差する複数のワード線と上記データ線とワード線との交点に番込情報に応じて設けられたMOSFETとによって構成された記憶アレイと、上記各データ線に対応して設けられたデータ線プリチャージMOSFETと、上記各データ線に対応して設けられたデータ線ディスチャージMOSFETとを備えた横型ダイナミックROMにおいて、上記データ線のディスチャージを選択されたデータ線についてのみ行なうようにしたことを特徴とする横型ダイナミックROM。

2. 上記横型ダイナミックROMは、相補型MOS集積回路で構成されるものであることを特徴とする特許請求の範囲第1項記載の横型ダイナミックROM。

3. 上記データ線ディスチャージMOSFETには、データ線選択信号を受けるMOSFETが直

列に接続されるものであることを特徴とする特許請求の範囲第1又は第2項記載の横型ダイナミックROM。

発明の詳細な説明

この発明は、MOSFET (絶縁ゲート型電界効果トランジスタ) で構成された横型ダイナミックROM (リード・オンリー・メモリ) に関する。

ROMにおけるメモリアレイを相補型MOS (以下OMOSと称する) 回路から構成する場合、電源端子間における貫通電流経路が実質的に形成されなくなることから、回路は低消費電力になる。しかしながら、この場合、メモリアレイが、複数のpチャンネル型MOSFETとこの複数のpチャンネル型MOSFETのそれぞれに対応された複数のnチャンネル型MOSFETとから構成されることになるので、比較的多くの回路素子が必要とされることになる。回路素子数が大きいことにより、半導体集積回路を形成する半導体基板の大きさを大きくせざるを得なくなってくる。逆に、半導体基板の寸法が制限されている場合には、

その半導体基板上に形成することのできる回路規模が制限される。

これに対し、メモリアレイにおける記憶セルとしてのMOSFETをnチャンネル型MOSFETのような一方のチャンネル型のMOSFETのみから構成する場合、これに応じて回路素子数を比較的減少させることができる。しかしながら、この場合、回路の消費電力が比較的大きくなる。このような消費電力の大きいROMは、低消費電力が1つの特長であるOMOS回路とともに1つの半導体基板上に集積回路化するには適さない。

従ってこの発明の1つの目的は、低消費電力化を図ることができる横型ダイナミックROMを提供することにある。

この発明の他の目的は、OMOS回路とともに半導体集積回路化するのに適する横型ダイナミックROMを提供することにある。

この発明の他の目的は、回路素子数の増加が比較的小さい横型ダイナミックROMを提供するこ

れ、そのゲートがワード線に接続され、そのソースが基準電位線に接続されている。

各MISFET $Q_{11}$ 、ないし $Q_{12}$ は、ワード線を介して供給される選択レベルの信号によってオン状態になるように、それぞれの低いしきい値電圧が比較的強く設定される。

データ線 $D_1$ とワード線 $W_1$ との交点のように、選択されるべきでない交点には、実質的にMOSFETは配置されない。なお、MOS集積回路技術において、入力信号レベルに関係なくオフ状態を維持するMOSFET構造は、実質的にMOSFETが存在しないと等価である。従って、上記データ線 $D_1$ とワード線 $W_1$ との交点のような選択されるべきでない交点には、高しきい値電圧のMOSFETが形成されていても良い。

メモリアレイMAを構成する上記MOSFET $Q_{11}$ 、ないし $Q_{12}$ は、特に制限されないが、nチャンネル型とされ、後述するMOSFETとともにOMOS集積回路技術によって1つの半導体基板上に形成される。半導体基板は、例えばn型

とにある。

この発明の更に他の目的は、以下の説明及び図面から明らかになるであろう。

以下、この発明を実施例とともに詳細に説明する。

第1図には、この発明の一実施例の回路図が示されている。

同図において、MAはメモリアレイ、OSWはカラムスイッチ回路である。

メモリアレイMAは、複数のデータ線 $D_1$ 、ないし $D_n$ 、複数のデータ線 $D_1$ 、ないし $D_n$ のそれぞれにそうように延長された基準電位線 $GL_1$ 、ないし $GL_n$ 、及びデータ線 $D_1$ 、ないし $D_n$ に対して交差するように延長された複数のワード線 $W_1$ 、ないし $W_n$ を持っている。データ線 $D_1$ 、ないし $D_n$ とワード線 $W_1$ 、ないし $W_n$ との各交点のうちの書き込み情報に対応して選択された交点に、記憶セルとしてのMOSFET $Q_{11}$ 、ないし $Q_{12}$ が配置されている。各MISFET $Q_{11}$ 、ないし $Q_{12}$ のそれぞれは、そのドレインがデータ線に接続さ

単結晶シリコンから構成される。pチャンネル型MOSFETは、このp型半導体基板上に形成される。nチャンネル型MOSFETは、p型半導体基板上に形成されたp型ウェル領域に形成される。メモリアレイMAを構成するMOSFET $Q_{11}$ 、ないし $Q_{12}$ は後で説明するディスチャージMOSFET $Q_{01}$ 、ないし $Q_{02}$ とともに、1つの共通のp型ウェル領域に形成される。

メモリアレイMAにおいて、ワード線 $W_1$ 、ないし $W_n$ とデータ線 $D_1$ 、ないし $D_n$ の各交点は、後の説明から明らかとなるように、各記憶番地に対応される。MOSFETが配置された交点は、情報“1”を保持しているとみなされ、MOSFETが配置されていない交点は、情報“0”を保持しているとみなされる。

上記データ線 $D_1$ 、ないし $D_n$ には、プリチャージ回路POが接続されている。プリチャージ回路POはプリチャージMOSFET $Q_{p1}$ 、ないし $Q_{pn}$ から構成されている。これらのプリチャージMOSFETは、特に制限されないが、pチャンネル

MOSFETによって構成されている。これらのプリチャージMOSFET  $Q_{p1}$ 、ないし  $Q_{p4}$  のゲートには、プリチャージパルス  $\phi_p$  が印加される。

上記のメモリアレイを構成するメモリMOSFETのうち、1つのデータ線に接続されたMOSFET、例えばデータ線  $D_1$  に接続されたMOSFET  $Q_{11}$ 、 $Q_{12}$  のソースは基準電位線  $G_L$  を介してディスチャージMOSFET  $Q_{D1}$  に接続されている。他のデータ線  $D_2$ 、ないし  $D_4$  に対応する基準電位線  $G_L$ 、ないし  $G_L$  に対しても同様なディスチャージMOSFET  $Q_{D2}$ 、ないし  $Q_{D4}$  が設けられている。これらのディスチャージMOSFET  $Q_{D1}$ 、ないし  $Q_{D4}$  は、特に制限されないが、nチャネルMOSFETによって構成されている。

各ワード線  $W_1$ 、ないし  $W_4$  は、Xアドレスデコード回路2の出力端子にそれぞれ接続されている。Xアドレスデコード回路2は、図示しないXアドレスバッファ回路からのアドレス信号  $A_i$  を受けて、1つのワード線を選択する。

型MOS)回路から構成されている。

また、出力回路4は、特に制限されないが、第4図の実施例回路に示すように、カラムスイッチMOSFET  $Q_{s1}$ 、ないし  $Q_{s4}$  を介した各データ線  $D'_1$ 、ないし  $D'_4$  が共通化(ワイヤード・オア)された共通データ線  $OB$ 、入力端子が共通データ線  $OB$  に接続されOMOSインバータで構成された出力バッファ回路  $DOB$ 、及びpチャネルMOSFETで構成されたプリチャージMOSFET  $Q_{p1}$  から構成されている。

第1図の実施例回路において、その低消費電力化を図るために、上記ディスチャージMOSFET  $Q_{D1}$ 、ないし  $Q_{D4}$  のゲートには、ディスチャージパルス  $\phi_d$  と、データ線選択信号  $Y_1$ 、ないし  $Y_4$  を受けるアンドゲート回路  $G_1$ 、ないし  $G_4$  が設けられている。

これらのアンドゲート回路  $G_1$ 、ないし  $G_4$  は、特に制限されないが、第3図の実施例回路にアンドゲート回路  $G_1$  を代表として示すように、上記ディスチャージパルス  $\phi_d$  とデータ線選択信号  $Y_1$  とをそれぞれ受ける並列形態のpチャネルMOSFET  $Q_{11}$ 、 $Q_{12}$  及び直列形態のnチャネル

データ線  $D_1$ 、ないし  $D_4$  は、カラムスイッチ回路  $OSW$  を通して出力回路4の入力端子に接続されている。カラムスイッチ回路  $OSW$  は、図示のようにMOSFET  $Q_{s1}$ 、ないし  $Q_{s4}$  から構成されている。これらのカラムスイッチMOSFET  $Q_{s1}$ 、ないし  $Q_{s4}$  は、特に制限されないが、nチャネル型から構成されている。

そして、これらのカラムスイッチMOSFET  $Q_{s1}$ 、ないし  $Q_{s4}$  のゲートは、Yアドレスデコード回路3の出力端子にそれぞれ接続されている。

上記Yアドレスデコード回路3は、図示しないYアドレスバッファ回路からのアドレス信号  $A_i$  を受けて、1つのカラムスイッチMOSFETを選択する。

X、Yアドレスデコード回路2、3は、特に制限されないが、第2図の実施例回路に示すように、ゲートにアドレス信号  $A_i$  が供給される並列形態のpチャネルMOSFET  $Q_1$ 、ないし  $Q_4$  と、直列形態のnチャネルMOSFET  $Q_1$ 、ないし  $Q_{12}$  で構成されたスタティック型OMOS(相補

MOSFET  $Q_{11}$ 、 $Q_{12}$  とで構成されたOMOSアンド回路と、その出力に設けられたOMOSインバータ回路とで構成されている。

次に、第1図の実施例回路の動作を第5図のタイミング図に従って説明する。

プリチャージパルス  $\phi_p$  が第5図Aの時間  $t_1$ 、ないし  $t_1$  のように、接地電位にほぼ等しいロウレベルにされている場合、これに応じてプリチャージMOSFET  $Q_{p1}$ 、ないし  $Q_{p4}$  はオン状態にされる。各データ線  $D_1$ 、ないし  $D_4$ 、及び共通化されたデータ線  $D'_1$ 、 $D'_4$  は、プリチャージMOSFET  $Q_{p1}$ 、ないし  $Q_{p4}$  を介してそれぞれ電源電圧  $V_{DD}$  のようなハイレベルにチャージアップされる。このとき、ディスチャージパルス  $\phi_d$  が第5図Bに示されたようにロウレベルにされていることによって、アンドゲート回路  $G_1$ 、ないし  $G_4$  の出力はロウレベルになっている。アンドゲート  $G_1$ 、ないし  $G_4$  の出力がロウレベルであることによって、ディスチャージMOSFET  $Q_{D1}$ 、ないし  $Q_{D4}$  はオフ状態にされている。従って、プリチャージ期間 ( $t_1$ 、 $-t_1$ ) において、メモ

リアレイMAに直流電流が流れることはない。

出力バッファ回路DOBの出力 $D_{out}$ は、時刻 $t_1$ において共通データ線OBがプリチャージされ始めることに応じて、すなわち共通データ線OBがハイレベルにされることに応じて第5図Fに示されたようにロウレベルにされる。

時刻 $t_1$ においてXアドレスデコード回路2及びYアドレスデコード回路3に供給されるアドレス信号が更新されると、これに応じてワード線 $W_1$ 、ないし $W_4$ のうちの更新されたアドレス信号に対応された1つが $V_{cc}$ に等しいようなハイレベルすなわち選択レベルにされる。同様にカラム制御線 $Y_1$ 、ないし $Y_4$ のうちの更新されたアドレス信号に対応された1つが選択レベルにされる。

従って、メモリアレイMA内の選択されたワード線に接続されたMOSFET及びカラムスイッチ回路OSW内の1つのMOSFETがオン状態にされる。例えば、ワード線 $W_1$ とカラム制御線 $Y_1$ が選択されたなら、これに応じてメモリアレイ

MA内のMOSFET $Q_{11}$ 、 $Q_{12}$ 及びカラムスイッチ回路OSW内のMOSFET $Q_{01}$ がオン状態にされる。

次に、第5図Bに示されたように、時刻 $t_1$ においてディスチャージパルス $\phi_D$ が $V_{DD}$ に等しいようなハイレベルにされると、図示された回路の動作は次のようになる。

すなわち、ディスチャージパルス $\phi_D$ がハイレベルにされることによって、アンドゲート回路 $G_1$ 、ないし $G_4$ のうちの、選択されたカラム制御線に対応されたアンドゲート回路の出力がハイレベルにされる。これに応じてディスチャージMOSFET $Q_{01}$ 、ないし $Q_{04}$ のうちの1つがオン状態にされる。選択されるべきデータ線の電位は、メモリアレイMAにおけるMOSFETによって決定されるようになる。また共通データ線OBの電位は、選択されるべきデータ線の電位によって決められるようになる。

例えば、ワード線 $W_1$ とカラム制御線 $Y_1$ とが選択されているなら、次のようになる。

すなわち、ディスチャージパルス $\phi_D$ がハイレベルにされると、これに応じてディスチャージMOSFET $Q_{01}$ がオン状態にされる。MOSFET $Q_{01}$ がオン状態にされることによって、データ線 $D_1$ のプリチャージ電荷は、記憶セルとしてのMOSFET $Q_{11}$ 、基準電位線GL、及びMOSFET $Q_{01}$ を介して放電させられるようになる。その結果、データ線 $D_1$ の電位は、第5図Dに突線によって示されたようにロウレベルにされる。

第4図に示された共通データ線OBにおける電荷は、オン状態にされているカラムスイッチMOSFET $Q_{01}$ 及びデータ線を介して放電させられる。すなわち共通データ線OBは、その電位がロウレベルにされる。出力バッファ回路DOBの出力 $V_{out}$ は、共通データ線OBがロウレベルにされることによって第5図Fに突線で示されたようにハイレベルにされる。

一方、例えば、ワード線 $W_1$ とデータ線 $D_1$ が選択されたとすると、このワード線 $W_1$ とデータ線 $D_1$ との交点にメモリMOSFETが形成され

ていないので、ディスチャージMOSFET $Q_{01}$ がオン状態にされてもデータ線 $D_1$ の電荷は放電させられない。そのため、データ線 $D_1$ の電位は第5図Dに破線で示されたようにハイレベルのままにされる。データ線 $D_1$ が充電状態に置かれることによって共通データ線OBの電荷も放電させられない。この場合共通データ線がハイレベルに維持されるため、読み出し出力信号 $D_{out}$ は第5図Fに破線で示されたようにロウレベルとなる。

時刻 $t_1$ においてプリチャージパルス $\phi_P$ がロウレベルにされると、再び前記のような回路動作が開始される。

この実施例においては、選択されない他のデータ線 $D_2$ 、ないし $D_4$ に対応されたディスチャージMOSFET $Q_{02}$ 、ないし $Q_{04}$ は、アンドゲート回路 $G_2$ 、ないし $G_4$ の出力がロウレベルに維持されることに応じてオフ状態に維持される。

その結果、読み出し動作に関係のないデータ線、すなわち非選択のデータ線、の充電電荷の放電が禁止される。

例えばワード線 $W_1$ とデータ線 $D_1$ が選択されたとき、非選択のデータ線 $D_2$ に接続された $MOSFETQ_{11}$ がオン状態にされる。このときデータ線 $D_2$ の充電電荷は、それに対応されたディスチャージ $MOSFETQ_{01}$ がオフ状態に維持されていることによって放電させられない。すなわち、データ線 $D_2$ の電位は、第5図Eに実施で示されたようにプリチャージレベルに維持される。

このように、非選択のデータ線の充電電荷の放電を禁止すると、プリチャージパルス $\phi_p$ によって再びプリチャージ動作が開始されたときのプリチャージ電流を比較的大きく減少させることができるようになる。

その結果、無駄なプリチャージ電流及びディスチャージ電流に対応する無駄な消費電流の発生を防止することができるようになり、回路を十分に低消費電力化することができるようになる。

特に、この実施例回路のように、 $MOS$ 回路で横型ダイナミック $ROM$ を構成した場合には、回路全体の消費電流が小さいことから、上記の防

源配線に誘起される雑音は、比較的大きいレベルになる。この電源配線における大きいレベルの雑音は、浮遊容量を介して半導体集積回路内の信号配線に与えられてしまう。またこの雑音は、電源配線と半導体基板もしくは $p$ 型ウェル領域のような半導体領域との間の寄生容量を介してこれらの半導体基板もしくは半導体領域に与えられてしまう。その結果、回路の動作マージンが減少されてしまうことになる。信号線、半導体基板及び種々の半導体領域に与えられる雑音レベルが著しく大きい場合、それによって回路が誤動作させられてしまう。

この実施例によると、プリチャージ電流が減少されることによって、上記のような雑音が十分に小さいレベルにされる。

この発明は、前記実施例に限定されない。

上記アンドゲート $G_1$ ないし $G_2$ に、例えば、その素子数低減のために、第6図又は第7図の実施例回路のように変形するものとしてもよい。

第6図の実施例回路では、データ線選択信号 $Y_1$

止された無効電流の占める割合が比較的大きいので、その低消費電力による効果が著しく高いことになる。

ちなみに、 $MOS$ 回路の真通電流値に対してデータ線の充放電電流値は、約1桁大きいものである。

この実施例に従うと、パルス電流としてのプリチャージ電流のレベルが低下されることによって、回路の望ましくない動作を良好に防ぐことができるようになる。

すなわち、プリチャージ電流は、半導体基板上に形成される蒸着アルミニウム層からなるような電源配線を介して供給されることになる。半導体集積回路における電源配線が無視し得ない抵抗、インダクタンスを持つこと及び半導体集積回路に電源電圧を供給するための電源が無視し得ない出力インピーダンスを持つことによって、プリチャージ電流は、電源配線に雑音とみなされる望ましくない電位変動を生じさせることになる。プリチャージ電流が大きい場合、半導体集積回路内の電

ないし $Y_2$ が、それぞれディスチャージパルス $\phi_0$ を受けるトランスファゲート $MOSFETQ_{10}$ ないし $Q_{11}$ を通してディスチャージ $MOSFET$ (図示せず) $Q_{01}$ ないし $Q_{02}$ のゲートに伝えられる。そして、プリチャージ期間にこれらの $MOSFETQ_{01}$ ないし $Q_{02}$ をリセットするための $MOSFETQ_{12}$ ないし $Q_{17}$ が設けられている。

これらの $MOSFETQ_{12}$ ないし $Q_{17}$ は、例えば $n$ チャンネル $MOSFET$ で構成され、ゲートに上記プリチャージパルス $\phi_p$ が印加される。

これにより、一つのデータ線について2個の $MOSFET$ すなわち減少された数の $MOSFET$ によって上記アンドゲート回路と同様な動作を行なわせることができる。

第7図の実施例回路では、上記ディスチャージ $MOSFETQ_{01}$ ないし $Q_{02}$ と直列にデータ線選択信号 $Y_1$ ないし $Y_2$ を受ける $MOSFETQ_{10}$ ないし $Q_{11}$ が設けられている。この場合には、一つのデータ線について1個の $MOSFET$ によ

て上記アンドゲート回路と同様な動作を行なわせることができる。

第8図は、他の実施例の回路図である。この実施例では、ディスチャージ回路DOを構成するディスチャージMOSFET  $Q_{D1}$  ないし  $Q_{D2}$  が、第1図に示されたようなメモリアレイMAとカラムスイッチ回路OSWとの間に配置される。ディスチャージMOSFET  $Q_{D1}$  ないし  $Q_{D2}$  は、第6図に示されたような回路を構成するMOSFET  $Q_{11}$  ないし  $Q_{12}$  によって駆動される。この第8図の構成に従うと、第1図に示されたようなYアドレスデコード回路3からMOSFET  $Q_{11}$  ないし  $Q_{12}$  までの配線を短かくさせることができ、その結果、半導体基板表面に延長される配線面積を減少させることができる。また、Yアドレスデコード回路3の出力端に結合される配線容量を減少させることができ、回路の動作速度を向上させることができる。

第9図は、更に他の実施例の回路図である。

この実施例では、第7図の実施例の回路と第1

図に示されたようなカラムスイッチ回路とが実質的に一体にされたと等価である。この実施例では、第8図の実施例と同様に、Yアドレスデコード回路の出力に結合される配線容量を減少させることができる。

本発明に従うと、このように、低消費電力化のために選択されないデータ線のディスチャージを禁止する回路は種々変形、簡素化できるものである。

また、周辺回路は、種々変形できるものである。

この発明は、横型ダイナミックROMに広く利用することができる。

#### 図面の簡単な説明

第1図は、この発明の一実施例を示す回路図、第2図は、そのアドレスデコード回路の一実施例を示す回路図、第3図は、そのアンドゲート回路の一実施例を示す回路図、第4図は、その出力回路の一実施例を示す回路図、第5図は、その動作タイミング図、第6図、第7図、第8図及び第9

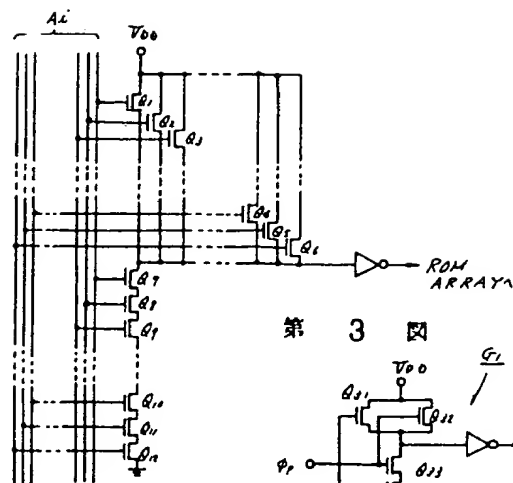
図は、それぞれこの発明の他の一実施例を示す要部回路図である。

2…Xアドレスデコード回路、3…アドレスデコード回路、4…出力回路。

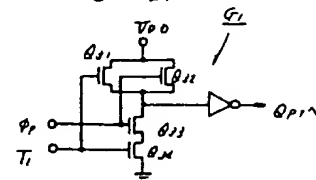
代理人 弁理士 澤田利幸



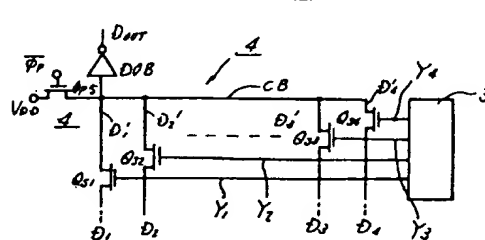
第 2 図



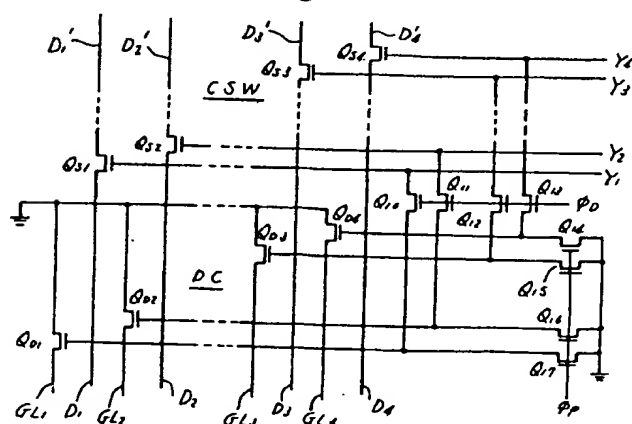
第 3 図



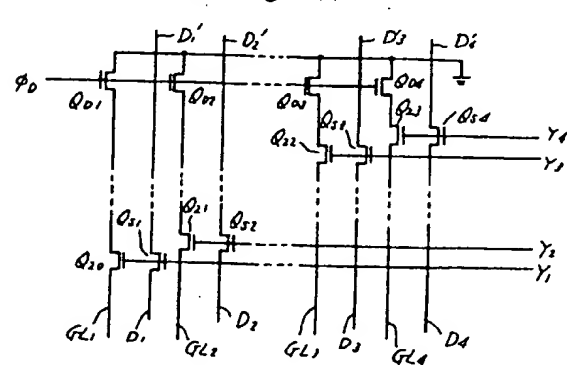
第 4 図



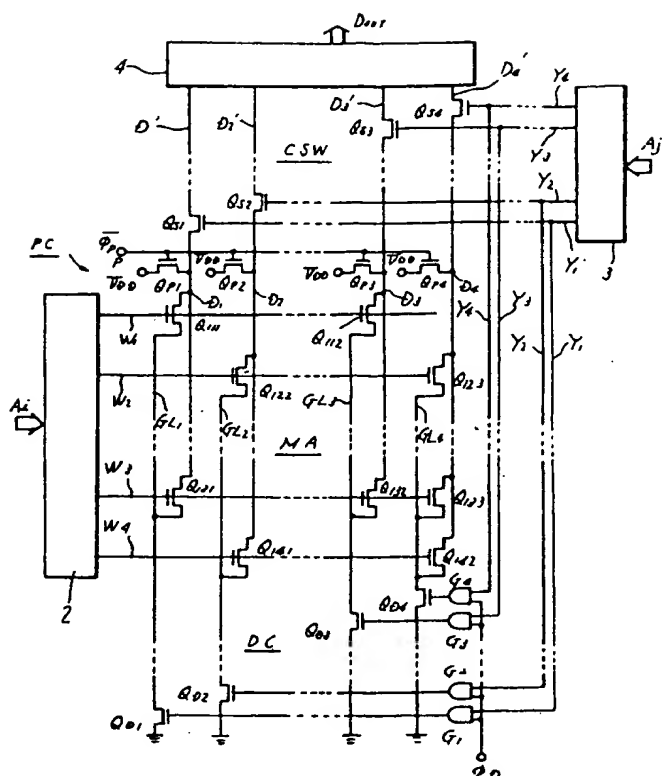
第 8 図



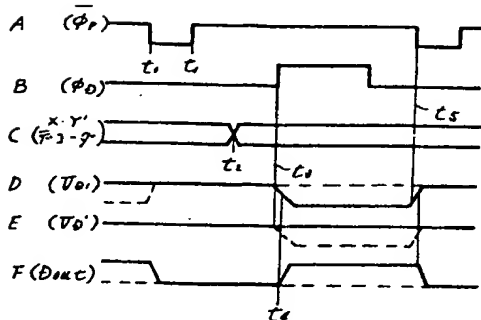
第 9 図



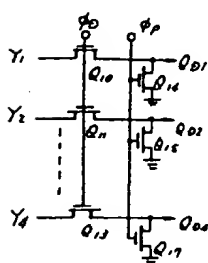
第 1 図



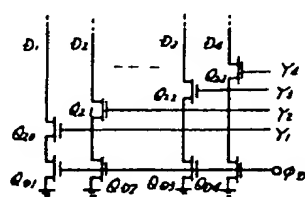
第 5 図



第 6 図



第 7 図







*Entgegenhaltung 1***HORIZONTAL TYPE DYNAMIC ROM**

Patent Number: JP58111190  
Publication date: 1983-07-02  
Inventor(s): MATSUBARA KIYOSHI  
Applicant(s): HITACHI SEISAKUSHO  
Requested Patent: ☐ JP58111190  
Application JP19810209237 19811225  
Priority Number(s):  
IPC Classification: G11C17/00  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To save power consumption by providing memory cell MOSTs to the intersections between plural data lines and plural word lines and also providing a precharging MOST and a discharging MOST to each data line to discharge only a selected data line.

**CONSTITUTION:** An memory array MA is provided with plural data lines D1-D4, plural word lines W1-W4 intersected with the data lines and MOSTs Q111-Q142 provided to the intersections. In addition, data line precharging MOSTs QP1-PP4 and data line discharging MOSTs QD1-DD4 to constitute a vertical type dynamic ROM. Only a selected data line is discharged and the discharge of unselected charge is inhibited. Thus useless current consumption corresponding to useless precharging current and discharging current can be prevented from being generated and the circuit can be used at a low power consumption.

Data supplied from the esp@cenet database - I2

DOCKET NO: GR 95P 2133 Re

SERIAL NO: 09/783,183

APPLICANT: Sedlak

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100